



<p>(51) 国際特許分類6 H01L 25/00, 25/03, 25/04, 25/065, 25/07, 25/075, 25/10, 25/11, 25/13, 25/16, 25/18, 21/02</p>	<p>A1</p>	<p>(11) 国際公開番号 WO97/11492</p> <p>(43) 国際公開日 1997年3月27日(27.03.97)</p>
<p>(21) 国際出願番号 PCT/JP95/01875</p> <p>(22) 国際出願日 1995年9月20日(20.09.95)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者: および</p> <p>(75) 発明者/出願人 (米国についてのみ) 佐々木康彦(SASAKI, Yasuhiko)(JP/JP) 〒315 茨城県新治郡千代田町稲吉3-15-29 Ibaraki, (JP) 河野順臣(KOHNO, Akiomi)(JP/JP) 〒309-17 茨城県西茨城郡友部町鯉淵6526-242 Ibaraki, (JP) 堀野正也(HORINO, Masaya)(JP/JP) 〒315-01 茨城県新治郡八郷町柿岡1029-16 Ibaraki, (JP) 宇佐美光雄(USAMI, Mitsuo)(JP/JP) 〒196 東京都昭島市福島町2-5-6 Tokyo, (JP) 徳田正秀(TOKUDA, Masahide)(JP/JP) 〒198 東京都青梅市友田町3-32-1 クリオ青梅1番館304 Tokyo, (JP)</p>		<p>(74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒100 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)</p> <p>(81) 指定国 JP, KR, US, 欧州特許 (DE, FR, GB, NL, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54)Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE</p> <p>(54)発明の名称 半導体デバイスおよび製造方法</p> <p>(57) Abstract</p> <p>A semiconductor device whose packing density is high and which has a lot of functions. This device is manufactured by joining semiconductor elements to each other by solid phase welding through metallic thin films. Since the semiconductor elements, which have conventionally been joined to each other with an adhesive or solder, are joined by the method of the invention, the strength, heat radiating property, and dimensional accuracy of the joint are improved and the length of wiring is shortened or the wiring itself can be omitted. Semiconductor elements are stacked by using this joining method, and hence a high-density semiconductor device which performs arithmetic operation at a high speed and has a high reliability is manufactured.</p> <div data-bbox="933 1302 1380 1806"> </div>		

(57) 要約

本発明は、半導体素子を金属薄膜を介して固相接合することにより、高密度化、多機能化を図った半導体デバイスとその製造方法を提供するものである。

従来接着剤やはんだで接合していた半導体素子を、金属薄膜を介して固相接合することにより、接合部の強度、接合部の放熱性、接合部の寸法精度を高め、さらに、配線の短縮化または省略化ができた。

本接合方法により半導体素子を積層すれば、信頼性が高く、演算速度も早い高密度半導体デバイスが製造できる。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を特定するために使用されるコード

AL	アルバニア	ES	スペイン	LR	リベリア	RU	ロシア連邦
AM	アルメニア	FI	フィンランド	LT	リトアニア	SD	スーダン
AU	オーストラリア	FR	フランス	LU	ルクセンブルグ	SE	スウェーデン
AZ	アゼルバイジャン	GB	イギリス	LV	ラトヴィア	SI	スロベニア
BB	バルバドス	GE	グルジア	MC	モナコ	SK	スロバキア共和国
BE	ベルギー	GH	ガーナ	MD	モルドバ	SN	セネガル
BG	ブルガリア	GN	ギニア	MG	マダガスカル	SZ	ス威士ランド
BJ	ベナン	GR	ギリシャ	MK	マケドニア	TD	チュニジア
BR	ブラジル	HU	ハンガリー	ML	マリ	TG	トーゴ
BY	ベラルーシ	IE	アイルランド	MN	モンゴル	TM	トルクメニスタン
CA	カナダ	IT	イタリア	MR	モーリタニア	TR	トルコ
CF	中央アフリカ共和国	JP	日本	MW	マラウイ	TT	トリニダード・トバゴ
CG	コンゴ	KE	ケニア	MX	メキシコ	UA	ウクライナ
CH	スイス	KR	韓国	NE	ニジェール	UG	ウガンダ
CI	コートジボワール	KG	キルギス	NL	オランダ	US	米国
CM	カメルーン	KZ	カザフスタン	NO	ノルウェー	UZ	ウズベキスタン共和国
CN	中国	LA	ラオス	NZ	ニュージーランド	VN	ベトナム
CZ	チェコ	LI	リヒテンシュタイン	PT	ポルトガル	YU	ユーゴスラビア
DE	ドイツ	LK	スリランカ	RO	ルーマニア		

1

明 細 書

半導体デバイスおよび製造方法

技術分野

本発明は半導体デバイスおよびその製造方法に係わり、特に、高密度
5 化および多機能化を図るために各種の半導体素子を接合した半導体デバ
イスおよびその製造方法に関する。

背景技術

半導体デバイスの高密度化や多機能化に伴い、半導体素子の積層化や
接合が要求されている。

- 10 半導体素子を接合した半導体デバイスまたはその接合方法に関する従
来技術としては、例えば、「応用物理 第60巻 第8号(1991)
P790～P793」(以下、従来技術1という)に、シリコン基板同
志を洗浄活性化し接合面にOH基を形成した後、シリコン基板同志を密
着させて加熱することによりシリコン基板を接合する方法が開示されて
15 いる。また、特開平4-56262号公報(以下、従来技術2という)
に、半導体素子と樹脂を交互に接着剤を介して積層した多層構造の半導
体デバイスが開示されている。また、特開平5-109593号公報
(以下、従来技術3という)に、半導体素子をはんだ板を介して積層し
たのちに加熱して半導体素子を接合する半導体デバイスの製造方法が開
20 示されている。また、特開平3-171643号公報(以下、従来技術
4という)に、半導体デバイスの基板の電極と接合材であるCCBバン
プとに原子またはイオンエネルギービームを照射して固相接合した後、
CCBバンブをリフローして液相接合する接合方法が開示されている。

発明の開示

- 25 上記従来技術を半導体素子の接合に用いると次のような問題が発生す
る。

2

すなわち、従来技術 1 のシリコン基板を密着させて加熱することによりシリコン基板を接合する方法は、接合後の寸法精度が高い接合方法であるが、接合時の温度が 1000℃以上と高いため、素子を形成したシリコン基板（半導体素子）の接合に本接合方法を用いると、半導体素子
5 内配線の熔融、半導体素子の拡散等により、半導体素子が破壊されてしまう。

従来技術 2 の半導体素子と樹脂を交互に接着剤を介して積層した多層構造の半導体デバイスは、接着剤を使用するため接合作業を容易に行うことができるが、接着剤の経時変化により接合した半導体素子が離脱する
10 可能性があり半導体デバイスとしての信頼性が十分ではない。また、接着部の熱抵抗が大きいため接着剤にて接合された半導体素子の放熱が困難であり、熱により半導体デバイスが支障をきたす可能性がある。さらに、接着剤は液状であり膜厚管理が困難であるため接合部の寸法精度を確保するのが困難である。

15 従来技術 3 の半導体素子をはんだ板を介して積層したのちに加熱して半導体素子を接合する半導体デバイスの製造方法は、上記の従来技術 2 と同様、接合作業を容易に行うことができるが、はんだに含まれているフラックスが接続部内に巻き込まれて蒸発することによりボイドが発生しやすく、接合強度を確保するのが困難である。また、フラックスの残
20 留により接合部に腐食が発生する可能性がある。また、接合温度ははんだの融点以上となるため、接合可能な半導体素子は、耐熱温度がはんだの融点以下の半導体素子に限られてしまう。また、接合部の熔融温度ははんだの融点となるため複数の半導体デバイスを製造プロセスに従って順番に接合する場合に同一のはんだを使用することはできない。また、
25 接合時ははんだが液状となっているため、接合部の寸法精度を確保するのが困難である。

3

従来技術 4 の C C B パンプに原子またはイオンエネルギービームを照射して固相接合した後、C C B パンプをリフローして液相接合する接合方法は、接合と同時に素子と基板の配線が行われるため、配線作業の省力化を図ることができるが、C C B パンプがはんだによりできているため、接合においては、上記従来技術 3 と同様の問題がある。

本発明の目的は、各種の半導体素子を接合した信頼性の高い半導体デバイスおよびその製造方法を提供することにある。

上記目的は、少なくとも 2 個以上の半導体素子を接合して成る半導体デバイスにおいて、半導体素子間の接合部に金属薄膜を介して固相接合したことにより達成される。

半導体素子を接合して信頼性の高い半導体デバイスを製造するためには、接合部の強度が十分であること、接合部の放熱性が高いこと、接合後の寸法精度が高いこと、接合時の加熱温度が低いことなどが必要である。

そこで、半導体素子間の接合部に金属薄膜を設け、その金属薄膜に原子またはイオンのエネルギービームを照射した後、接合面同志を密着させて加熱および加圧する方法を実験により確立した。

第 8 図 (a) は接合温度 100℃における接合強度と接合圧力の関係を表したグラフであり、縦軸が接合強度、横軸が接合圧力である。第 8 図 (b) は接合圧力 5 MPa における接合強度と接合温度の関係を表したグラフであり、縦軸が接合強度、横軸が接合温度である。これらのグラフから判るように、本願発明の接合方法によれば、半導体デバイスとして必要な接合部強度 10 MPa を確保するには、接合温度を 100℃以上、接合圧力を 5 MPa 以上とすればよい。また、接合温度および接合圧力の上限値を半導体素子が破壊しない限界値とすれば、接合温度範囲は 100～400℃、接合圧力範囲は 5～50 MPa となる。この温

4

度範囲および圧力範囲は半導体素子に対して十分低い値となっているため、この接合方法を半導体デバイスの接合に採用することにより、高密度で多機能な信頼性の高い半導体デバイスの提供を可能にした。

すなわち本発明の半導体デバイスの望ましい態様は以下のとおりである。

- (1) 少なくとも2個以上の半導体素子を接合して成る半導体デバイスにおいて、前記半導体素子間の接合部に金属薄膜を介して固相接合する。
- (2) 上記(1)において、前記半導体素子を前記半導体デバイスの厚さ方向に固相接合する。
- 10 (3) 上記(1)において、基板上に前記半導体素子を前記半導体デバイスの長さ方向または幅方向に配置して固相接合する。
- (4) 基板上に光半導体素子および光導波路を金属薄膜を介して固相接合する。
- (5) シリコン半導体素子とガリウム砒素半導体素子とを金属薄膜を介して固相接合する。
- 15 (6) 上記(1)、(4)、(5)のいずれかにおいて、前記金属膜を、材質の異なる2つ以上の薄膜層により構成する。
- (7) 上記(1)、(4)、(5)のいずれかにおいて、半導体素子と前記金属膜の間に、前記半導体素子および前記金属薄膜と共晶しない材料を挿入する。
- 20 (8) 上記(1)、(4)、(5)のいずれかにおいて、前記金属膜をチタン(Ti)薄膜と金(Au)薄膜により構成する。
- (9) 上記(1)、(4)、(5)のいずれかにおいて、前記金属膜を0.5~1000nmのチタン(Ti)薄膜と2~10000nmの金
- 25 (Au)薄膜により構成する。
- (10) 上記(1)、(4)、(5)のいずれかにおいて、前記金属薄

5

膜を半導体素子の接合面に電氣的に独立して複数形成し、この複数形成した金属薄膜の一部または全部を電極とする。

また、本発明の半導体デバイスの製造方法の望ましい態様は以下のとおりである。

- 5 (A) 少なくとも2個以上の半導体素子を接合して成る半導体デバイスの製造方法において、前記半導体素子間の接合部に金属薄膜を介して固相接合する。

(B) 上記(A)において、前記固相接合は、互いに接合すべき前記半導体素子の接合面のうち少なくとも一方は予め金属薄膜を形成した接合面とし、真空中にて前記接合面に原子またはイオンのエネルギービームを照射して前記接合面の上の汚染物を除去して前記接合面を活性化した後、前記接合面が再汚染しない接合雰囲気中にて金属薄膜の固相線温度以下の温度で接合面同志を密着させて加圧し、固相の状態で接合する。

- 10 (C) 上記(A)において、前記金属薄膜を材質の異なる2つ以上の薄膜層により構成する。

(D) 上記(A)において、前記半導体素子と前記金属薄膜の間に前記半導体素子および前記金属薄膜と共晶反応しない材料を挿入する。

(E) 上記(C)において、前記金属薄膜をチタン(Ti)薄膜と金(Au)薄膜により構成する。

- 20 (F) 上記(E)において、前記金属薄膜は0.5～1000nmのチタン(Ti)薄膜と2～10000nmの金(Au)薄膜により成る。

(G) 上記(B)において、前記固相接合は前記金属薄膜中に双晶変形が生じる温度および圧力にて接合する。

- 25 (H) 上記(G)において、前記温度を100～400℃、前記圧力を5～50MPaとする。

ところで、本明細書において、半導体素子とは、独立した機能を持ち、

6

半導体デバイスの構成要素となるものを指す。例えば、光半導体デバイスにおける光導波路も半導体素子という。

また、本明細書において、固相接合とは、接合材料の固相線以下の温度で接合することを意味しており、接合材料の固相線以上の温度で接合
5 を行うものは含んでいない。

次に本発明の作用について説明する。

半導体素子を金属薄膜を介して固相接合することにより、接合温度および接合圧力を低くすることができるため、半導体デバイスの信頼性を確保することができる。また、十分な接合強度が確保でき、しかも、接
10 合部が経時劣化することもないため半導体素子が離脱する心配がない。

また、接合部の熔融温度が接合温度より十分高い温度となるため、1度接合を行った半導体素子に対して同じ接合条件で何度も接合することができるため、半導体製造プロセスに従って順番に半導体素子を接合することができる。また、接合部が金属接合となるため、半導体素子の熱を
15 効率よく放熱することができる。

また、半導体素子を前記半導体素子の厚さ方向に固相接合することにより、半導体デバイスの設置面積に対する集積密度を高めることができる。

また、基板上に、要求された仕様に合わせて選択した各々機能の異
20 なった半導体素子を半導体素子の長さ方向または幅方向に配置して固相接合することにより、従来個別に設計対応していた半導体デバイスが短時間で製作することができる。

また、基板上に光素子および光導波路を金属薄膜を介して固相接合することにより、性能の良い光半導体デバイスを短時間で製作することが
25 できる。

また、シリコン半導体素子にガリウム砒素半導体素子を金属薄膜を介

7

して固相接合することにより、精度の高い光伝送半導体デバイスを製造することができる。

また、金属薄膜を、チタン(Ti)薄膜と金(Au)薄膜で構成することにより半導体素子に対する金属薄膜の剥離強度を高めることができる。

- 5 また、金属薄膜を、半導体素子の接合面に電氣的に独立して複数形成し、この複数形成された金属薄膜の一部または全部を電極とすることにより、半導体素子間の配線が不要となるため、配線作業の省力化が図れる。また、配線長さが最短となるため、半導体デバイスの演算速度を高めることができる。

10 図面の簡単な説明

第1図は、本発明の第1の実施例による積層形半導体デバイスの外観図である。

第2図は、本発明の第1の実施例による積層形半導体デバイスの製造方法を示す図である。

- 15 第3図は、本発明の第1の実施例による接合界面の金属断面図である。

第4図は、本発明の第1の実施例による平面接合形半導体デバイスの外観図である。

第5図は、本発明の第2の実施例による光伝送半導体デバイスの製造方法を示す図である。

- 20 第6図は、本発明の第3の実施例による光半導体デバイスの製造方法を示す図である。

第7図は、本発明の第4の実施例による大規模半導体デバイスの欠陥救済方法を示す図である。

第8図は、本発明の接合条件と接合強度の関係を示す図である。

- 25 発明を実施するための最良の形態

〔実施例1〕

8

以下、本発明の第1の実施例を図面に従い詳細に説明する。

第1図は、積層形半導体デバイスの外観を示す。411はトランジスタのゲート、412はトランジスタのゲート酸化膜、44は配線、471は上部電極、472は下部電極、473は基板電極、481、482は金属薄膜、46は導電性膜、404は基板、401、402、403は積層接合用半導体素子である。

第2図は、積層形半導体デバイスの製造方法を示す。49はアルゴン(Ar)原子ビームである。

第3図は、接合界面の金属断面を示す。21は金薄膜、22は双晶変形、23は接合界面、24はボイドである。

第4図は、平面接合形半導体デバイスの外観を示す。610は基板、601～606は平面接合用半導体素子、631、632は金属薄膜である。

積層形半導体デバイスは、第1図(a)に示す積層接合用半導体素子を第1図(b)のように複数積層したものであり、高密度化、多機能化を図った半導体デバイスである。

トランジスタは、通常の半導体プロセスを用いてゲート411やゲート酸化膜412などを形成して製造する。各トランジスタは表面絶縁層421、裏面絶縁層422および素子間絶縁膜423によって互いに絶縁分離されており、各トランジスタの単結晶シリコン膜431の両端に形成されたソースおよびドレイン432には、配線44がそれぞれ接続されている。配線44は表面絶縁層421に形成された表面スルーホール451内に充填された導電性膜46を介して上部電極471に接続されている。さらに、配線44は、裏面絶縁層422に形成された裏面スルーホール452を充填する導電性膜46を介して下部電極472に接続されている。ここで、上部電極471および下部電極472は厚さ0.

9

5 ~ 1 0 0 0 nm のチタン (Ti) 薄膜、次いで、厚さ 2 ~ 1 0 0 0 0 nm の金 (Au) 薄膜により形成され、金 (Au) 面を接合面としている。

ここで、チタン (Ti) 薄膜の厚さ範囲を 0 . 5 ~ 1 0 0 0 nm としたのは、この範囲であればチタン (Ti) が薄膜を形成し、しかもチタン

5 (Ti) 薄膜が内部応力による剥離強度の低下がなく十分な接合強度を示すからである。また、金 (Au) 薄膜の厚さ範囲を 2 ~ 1 0 0 0 0 nm としたのは、この範囲であれば金 (Au) 薄膜が接合面であるシリコンの表面荒さをカバーでき、しかも金 (Au) 薄膜を設ける作業性がよく十分な強度を示すからである。

10 また、チタン (Ti) 薄膜の上に金 (Au) 薄膜を挿入したのは金 (Au) 薄膜の剥離強度を高めるためであり、チタンの代わりにクロム (Cr) 等金薄膜の剥離強度を高める薄膜を挿入してもよい。

このように、接合面を電極とすることにより配線を省略することができ、半導体製造工程の省力化および半導体デバイスの演算速度の向上を
15 図ることができる。

また、装置固定用として表面絶縁層 4 2 1 の表面に金属薄膜 4 8 1 としてチタン (Ti) 薄膜を厚さ 0 . 5 ~ 1 0 0 0 nm、次いで金 (Au) 薄膜を厚さ 2 ~ 1 0 0 0 0 nm 形成し、さらに、裏面絶縁層 4 2 2 の表面にも同様な金属薄膜 4 8 2 を形成し、各々金 (Au) 面を接合面としている。

20 次に、接合工程について説明する。第 4 図 (a) に示すように、アルゴン (Ar) 原子ビーム 4 9 が照射できる圧力下 (例えば $1 \times 10^{-4} \sim 1 \times 10^{-3}$ Torr の真空) に第 1 の積層接合用半導体素子 4 0 1 を下方、第 2 の積層接合半導体素子 4 0 2 を上方として設置し、第 1 の積層接合用半導体素子 4 0 1 の表面側接合面および第 2 の積層接
25 合半導体素子 4 0 2 の裏面側接合面にアルゴン (Ar) 原子ビーム 4 9 を照射する。これにより接合面に付着している酸化膜、水分、油脂分等の

10

汚染物を除去し、接合面を活性化する。なお、アルゴン (Ar) 原子ビーム 49 を照射する面が金属面であるため照射面がチャージアップせず、半導体デバイスに電気的なダメージを与えることはない。その後、第 4 図 (b) に示すように、 5×10^{-6} Torr 以下の真空中で接合面同志を対向させた後、密着させて固相の状態 で接合する。なお、接合時圧力は 5×10^{-6} Torr 以下の真空でなくても、アルゴン (Ar) 原子ビーム 49 を照射した接合面が再汚染しない雰囲気であれば良い。

次いで、第 4 図 (c) に示すように、アルゴン (Ar) 原子ビーム 49 が照射できる圧力下 (例えば $1 \times 10^{-4} \sim 1 \times 10^{-3}$ Torr の真空) に第 3 の積層接合用半導体素子 403 を上方、第 1 の積層接合用半導体素子 401 と第 2 の積層接合半導体素子 402 を接合した半導体素子を下方として設置し、第 2 の積層接合用半導体素子 401 の表面側接合面および第 3 の積層接合半導体素子 403 の裏面側接合面にアルゴン (Ar) 原子ビーム 49 を照射する。これにより接合面に付着している酸化膜、水分、油脂分等の汚染物を除去し、接合面を活性化する。その後、第 4 図 (d) に示すように、 5×10^{-6} Torr 以下の真空中で接合面同志を対向させた後、密着させて固相の状態 で接合する。なお、接合時圧力は 5×10^{-6} Torr 以下の真空でなくても、アルゴン (Ar) 原子ビーム 49 を照射した接合面が再汚染しない雰囲気であれば良い。このとき、接合面の温度、すなわち接合温度は $100 \sim 400^\circ\text{C}$ 、接合圧力は $5 \sim 50$ MPa である。

また、表面絶縁層 421 の酸化膜 (SiO_2) を母材であるシリコン (Si) と金属薄膜の金 (Au) との共晶防止膜として利用することにより、接合部の熔融温度を 600°C 以上にすることができる。この温度は、接合温度 $100 \sim 400^\circ\text{C}$ に比べ、十分高い温度となっているため、この接合を何度おこなっても接合部が熔融することはない。なお、共晶防

11

止膜として本実施例ではSOIウエハ自体の酸化膜を利用しているが、熱酸化膜またはCVDによる酸化膜であってもその効果は同じである。

また、この接合温度および接合圧力の条件下では、第3図に示すように金属薄膜である金(Au)薄膜21中に双晶変形22が生じるため接合面同志の密着が図られ、接合界面23でのボイド24の少ない接合ができる。接合部の強度は10Mpa以上であり、半導体デバイス製造プロセスのハンドリングに対しては十分な強度となっている。

第4図は、基板610上に半導体素子601～606を平面状に配置して本発明により接合したものである。このように各々機能の異なった半導体素子を要求された仕様に合わせて選択し、本発明により平面上に接合すれば、従来個別仕様に合わせて設計していた半導体デバイスを短期間で製作することができる。

〔実施例2〕

以下、本発明の第2の実施例を図面に従い詳細に説明する。

第5図は、光伝送半導体デバイスにおける接合を示したものである。51はシリコン基板、52は光導波路、53は光半導体素子、54は光ファイバ、551～554は金属薄膜である。

第5図(a)に示すように、光伝送半導体デバイスはシリコン(Si)基板51上に光導波路52、光半導体素子53を固定し、光ファイバ54を取り付けた構造となっている。光導波路52、光半導体素子53、光ファイバ54は、その取付精度が高くないと、性能を発揮することができない。

ここで、光導波路52および光半導体素子53をシリコン基板に接合する工程について説明する。

第5図(b)に示すように、まず、金属薄膜551、552として真空蒸着によりチタン(Ti)薄膜を厚さ0.5～1000nm、次いで金

12

(Au) 薄膜を厚さ 2 ~ 1 0 0 0 0 nm 形成し、金面を接合面とするシリコン基板 5 1 と、同様な金属薄膜 5 5 3 を形成した光導波路 5 2 および同様な金属薄膜 5 5 4 を形成した光素子 5 3 をアルゴン (Ar) 原子ビーム 5 6 が照射できる圧力下 (例えば $1 \times 10^{-4} \sim 1 \times 10^{-3}$ Torr の真空) に設置し、各接合面にアルゴン (Ar) 原子ビーム 5 6 を照射する。これにより接合面に付着している酸化膜、水分、油脂分等の汚染物を除去し、接合面を活性化する。その後、まず、第 5 図 (c) に示すように、 5×10^{-6} Torr 以下の真空中でシリコン基板 5 1 および光導波路 5 2 の接合面同士を密着して固相の状態で接合する。なお、接合時圧力は 5×10^{-6} Torr 以下の真空でなくても、アルゴン (Ar) 原子ビーム 5 6 を照射した接合面が再汚染しない雰囲気であれば良い。次いで、第 5 図 (d) に示すように、シリコン基板 5 1 および光素子 5 3 の接合面同士を密着して固相の状態で接合する。このとき、接合面の温度、すなわち接合温度は 1 0 0 ~ 4 0 0 °C、接合圧力は 5 ~ 5 0 MPa である。

15 光伝送用半導体デバイスにおいては、光半導体素子 5 3 から発せられる光を効率良く光導波路 5 2 を経由させ光ファイバ 5 4 に導く必要がある。従来は、接着剤にて光素子、光導波路を接合しているため、その位置決めが困難であり、熟練者の作業となっていた。

しかし、本発明により光半導体素子 5 3、光導波路 5 2 を接合すれば、接合により寸法誤差を発生する可能性のある部材は、金属薄膜だけであるため、接合の位置決めを正しくすれば、接合後の位置も正しく設定することができる。

[実施例 3]

以下、本発明の第 3 の実施例を図面に従い詳細に説明する。

25 第 6 図は、光半導体デバイスの製造過程を示したものである。3 1 はシリコン半導体素子、3 2 はガリウム砒素半導体素子、3 4 はアルゴン

13

(Ar) 原子ビーム、331、332は金属薄膜である。

光半導体デバイスは、シリコン (Si) 半導体素子とガリウム砒素 (GaAs) 半導体素子の異種材を接合することにより製造することができる。

- 5 第3図(a)に示すように、金属薄膜331として真空蒸着によりチタン (Ti) 薄膜を厚さ0.5~1000nm、次いで金 (Au) 薄膜を厚さ2~10000nm形成し、金面を接合面とするシリコン半導体素子31と、同様な金属薄膜332を形成したガリウム砒素半導体素子32をアルゴン (Ar) 原子ビーム34が照射できる圧力下 (例えば
- 10 $1 \times 10^{-4} \sim 1 \times 10^{-3}$ Torrの真空) に設置し、接合面にアルゴン (Ar) 原子ビーム34を照射する。これにより接合面に付着している酸化膜、水分、油脂分等の汚染物を除去し、接合面を活性化する。その後、第3図(b)に示すように、 5×10^{-6} Torr以下の真空中で接合面同志を対向させた後密着させて固相の状態で接合する。なお、接合時圧力は
- 15 5×10^{-6} Torr以下の真空でなくても、アルゴン (Ar) 原子ビーム34を照射した接合面が再汚染しない雰囲気であれば良い。このとき、接合面の温度、すなわち接合温度は100~400℃、接合圧力は5~50MPaである。

- シリコン半導体素子とガリウム半導体素子との接合を本発明で行えば、
- 20 シリコン半導体デバイス31とガリウム砒素半導体デバイス32の高さを同じにすることができるため、半導体素子間の配線は薄膜状の金属配線で行うことができるため配線密度が高まり半導体デバイスの高集積化が可能となる。また、接合面の一部を接点とすることにより、配線作業の省力化を図ることができる。

25 [実施例4]

以下、本発明の第4の実施例を図面に従い詳細に説明する。

14

第7図は大規模半導体デバイスの欠陥救済方法を示す。11は大規模半導体素子、13は接合溝、15は薄膜大規模半導体素子、16はアルゴン (Ar) 原子ビーム、121、122はマクロ、123は欠陥救済マクロ、141、142は金属薄膜である。

- 5 大規模半導体素子は歩留まり向上のため欠陥救済という作業を実施する。これは、大規模半導体素子を構成する複数のマクロと呼ばれる個別の機能を持つ回路ブロックのうち不良となったマクロを取り除き、そこに、欠陥のないマクロを接合することにより不良となった大規模半導体素子を救済するという作業である。
- 10 第7図(a)は欠陥救済を必要とする大規模半導体素子を示す。SOIウエハから作られた大規模半導体素子11はマクロ121、122と呼ばれる個別の機能を持つ回路ブロックにより構成される。例えば、マクロ121の回路には欠陥がなく、マクロ122の回路には欠陥が生じているものとする。
- 15 まず、欠陥除去工程について説明する。この欠陥が生じているマクロ122をエッチングにより除去し、第1図(b)に示すように接合溝13を形成する。次に第1図(c)に示すように接合溝13に金属薄膜141として真空蒸着によりチタン (Ti) 薄膜を厚さ0.5~1000nm、次いで金 (Au) 薄膜を厚さ2~10000nm形成し、金面を接合面と
- 20 する。ここで、接合溝13と金薄膜の間にチタン薄膜を挿入したのは金薄膜の剥離強度を高めるためであり、チタンの代わりにクロム (Cr) 等金薄膜の剥離強度を高める薄膜を挿入してもよい。
- 25 次に救済マクロ作成工程について説明する。第1図(d)の薄膜大規模半導体素子15は大規模半導体素子11と同様な回路構成をしている大規模半導体素子を薄膜化したものであり、かつ、マクロ122と同一機能の欠陥救済マクロ123には欠陥が生じていない。次に、第1図(e)

15

に示すように、薄膜大規模半導体素子 1 5 をマクロ単位に分割し、欠陥救済マクロ 1 2 3 を取り出す。そして第 1 図(f)に示すように、接合溝 1 3 と同様に金属薄膜 1 4 2 を形成し、金 (Au) 面を接合面とする。

接合工程について第 1 図(g)を用いて説明する。大規模半導体素子 1 5 1 および救済マクロ 1 2 3 をアルゴン (Ar) 原子ビーム 1 6 が照射できる圧力下 (例えば $1 \times 10^{-4} \sim 1 \times 10^{-3}$ Torr の真空) に設置し、接合面にアルゴン (Ar) 原子ビーム 1 6 を照射する。これにより接合面に付着している酸化膜、水分、油脂分等の汚染物を除去し、接合面を活性化する。この時、アルゴン (Ar) 原子ビーム 1 6 を照射する面が金属面であるため照射面がチャージアップせず、半導体デバイスに電氣的なダメージを与えることはない。その後、第 1 図(h)に示すように、 5×10^{-6} Torr 以下の真空中で接合面同士を対向させた後密着させて固相の状態 で接合する。なお、接合時圧力は 5×10^{-6} Torr 以下の真空中でなくても、アルゴン (Ar) 原子ビーム 1 6 を照射した接合面が再汚染しない雰囲気であれば良い。また、このとき、接合面の温度、すなわち接合温度は $100 \sim 400^\circ\text{C}$ 、接合圧力は $5 \sim 50$ MPa である。

このように、低温度、低圧力で接合できるため、集積回路の信頼性を確保して接合することができる。また、固相の状態 で接合されているため、寸法精度も高く、救済マクロ 1 2 3 と欠陥のないマクロ 1 2 1 の高さと同じにすることができる。

救済マクロ 1 2 3 と欠陥のないマクロ 1 2 1 の高さを同じすることができるため、マクロ間の配線は、欠陥救済をしない良品の大規模半導体素子と同様、薄膜状の金属配線で行うことができるため、配線密度が高まり、半導体デバイスの高集積化を図ることができる。また、接合部は、金属接合であるので、救済マクロ 1 2 3 の放熱は十分行われる。

また、接合溝 1 3 および救済マクロ 1 2 3 における酸化膜 (SiO_2)

16

を大規模半導体素子 1 1 および欠陥救済マクロ 1 2 3 の母材であるシリコン (Si) と金属薄膜の金 (Au) との共晶防止膜として利用することにより、接合部の熔融温度を 6 0 0 °C 以上にすることができる。この温度は、接合温度 1 0 0 ~ 4 0 0 °C に比べ、十分高い温度となっているため、この接合を何度おこなっても接合部が熔融することはない。なお、共晶防止膜として本実施例では S O I ウェハ自体の酸化膜を利用しているが、熱酸化膜または C V D による酸化膜であってもその効果は同じである。

17

請求の範囲

1. 少なくとも2個以上の半導体素子を接合して成る半導体デバイスにおいて、前記半導体素子間の接合部に金属薄膜を介して固相接合したことを特徴とする半導体デバイス。
- 5 2. 請求項1において、前記半導体素子を前記半導体デバイスの厚さ方向に固相接合したことを特徴とする半導体デバイス。
3. 請求項1において、前記半導体素子を前記半導体デバイスの長さ方向または幅方向に固相接合したことを特徴とする半導体デバイス。
4. 基板上に光素子および光導波路を金属薄膜を介して固相接合したことを特徴とする半導体デバイス。
- 10 5. シリコン半導体素子とガリウム砒素半導体素子を金属薄膜を介して固相接合したことを特徴とする半導体デバイス。
6. 請求項1、4、5のいずれかにおいて、前記金属薄膜は、材質の異なる2つ以上の薄膜層から構成されていることを特徴とする半導体デバイス。
- 15 7. 請求項1、4、5のいずれかにおいて、半導体素子と前記金属薄膜の間に、前記半導体素子および前記金属薄膜と共晶反応しない材料を挿入することを特徴とする半導体デバイス。
8. 請求項1、4、5のいずれかにおいて、前記金属薄膜は、チタン(Ti)薄膜と金(Au)薄膜により構成されていることを特徴とする半導体デバイス。
- 20 9. 請求項1、4、5のいずれかにおいて、前記金属薄膜は、厚さ0.5～1000nmのチタン(Ti)薄膜と厚さ2～10000nmの金(Au)薄膜により構成されていることを特徴とする半導体デバイス。
- 25 10. 請求項1、4、5のいずれかにおいて、前記金属薄膜は、半導体素子の接合面に電気的に独立して複数形成されており、この複数形成さ

18

れた金属薄膜の一部または全部が電極であることを特徴とする半導体デバイス。

11. 少なくとも2個以上の半導体素子を接合して成る半導体デバイスの製造方法において、前記半導体素子間の接合部に金属薄膜を介して固相接合したことを特徴とする半導体デバイスの製造方法。

12. 請求項11において、前記固相接合は、互いに接合すべき前記半導体素子の接合面のうち少なくとも一方は予め金属薄膜を形成した接合面とし、真空中にて前記接合面に原子またはイオンのエネルギービームを照射して前記接合面の上の汚染物を除去して前記接合面を活性化した後、前記接合面が再汚染しない接合雰囲気中にて金属薄膜の固相線温度以下の温度で接合面同志を密着させて加圧し、固相の状態で接合することを特徴とする半導体デバイスの製造方法。

13. 請求項11において、前記金属薄膜は材質の異なる2つ以上の薄膜層から構成されていることを特徴とする半導体デバイスの製造方法。
14. 請求項11において、前記半導体素子と前記金属薄膜の間に前記半導体素子および前記金属薄膜と共晶反応しない材料を挿入することを特徴とする半導体デバイスの製造方法。

15. 請求項11において、前記金属薄膜はチタン(Ti)薄膜と金(Au)薄膜から構成されていることを特徴とする半導体デバイスの製造方法。
16. 請求項11において、前記金属薄膜は厚さ0.5~1000nmのチタン(Ti)薄膜と厚さ2~10000nmの金(Au)薄膜から構成されていることを特徴とする半導体デバイスの製造方法。

17. 請求項11において、前記固相接合は前記金属薄膜中に双晶変形が生じる温度および圧力にて接合することを特徴とする半導体デバイスの製造方法。

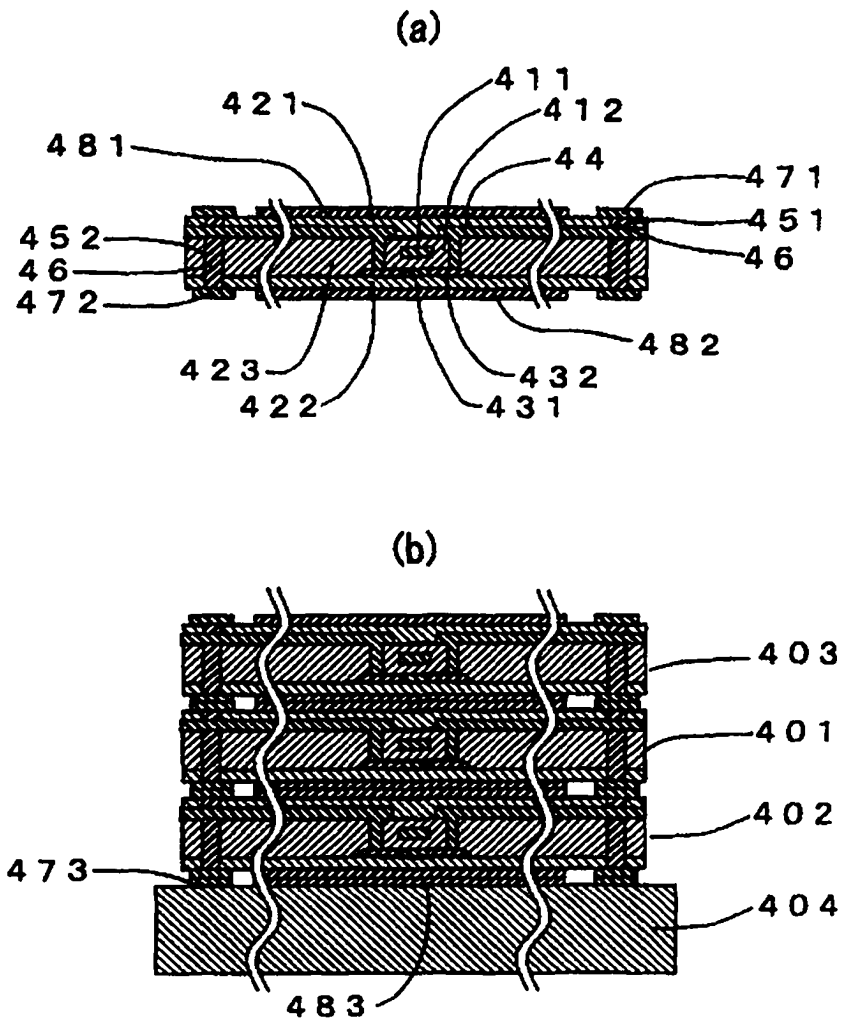
18. 請求項17において、前記温度が100~400℃であり、前記

19

圧力が 5 ～ 5 0 M P Aであることを特徴とする半導体デバイスの製造方法。

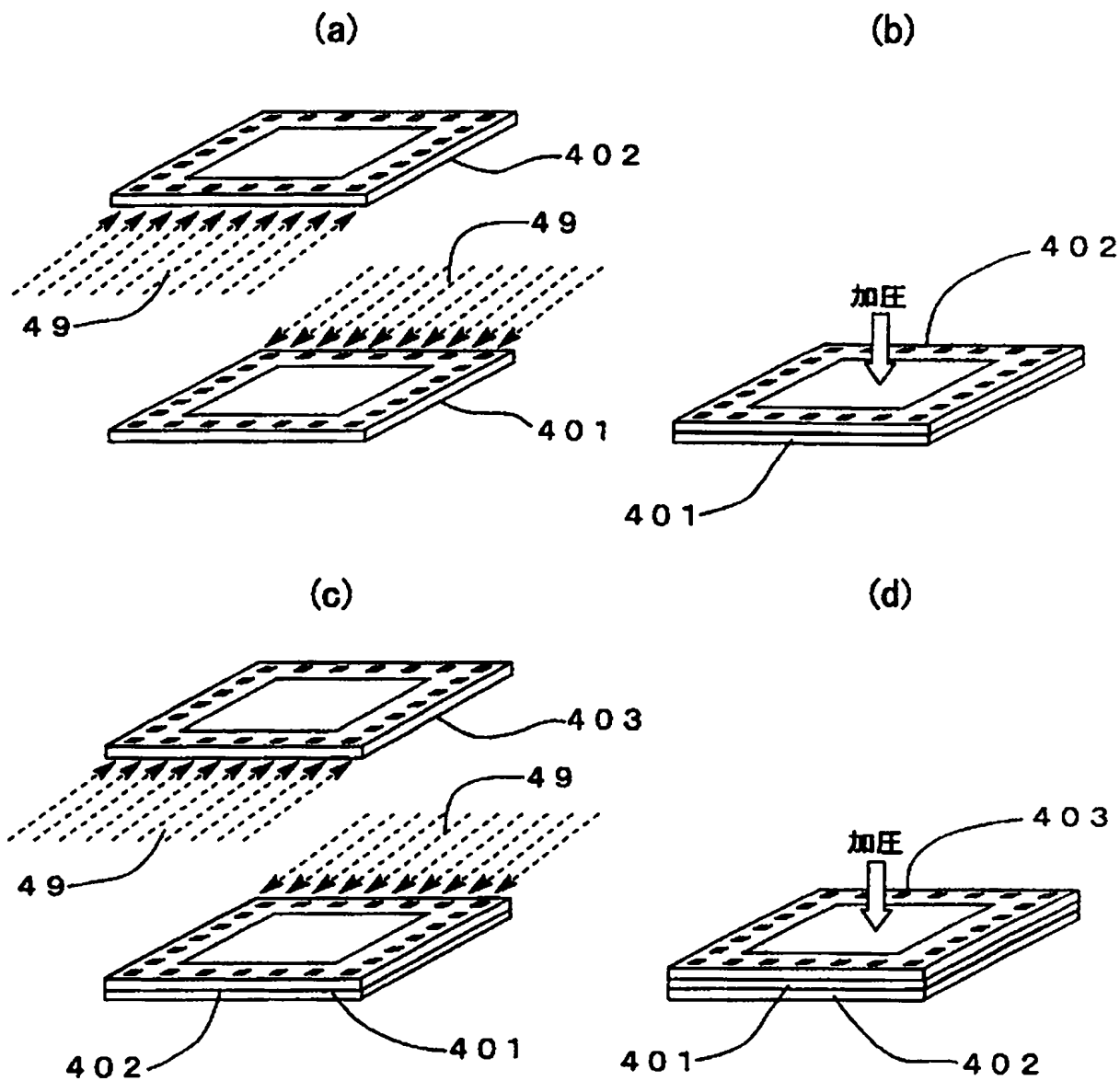
1/8

第1図



2 / 8

第2図



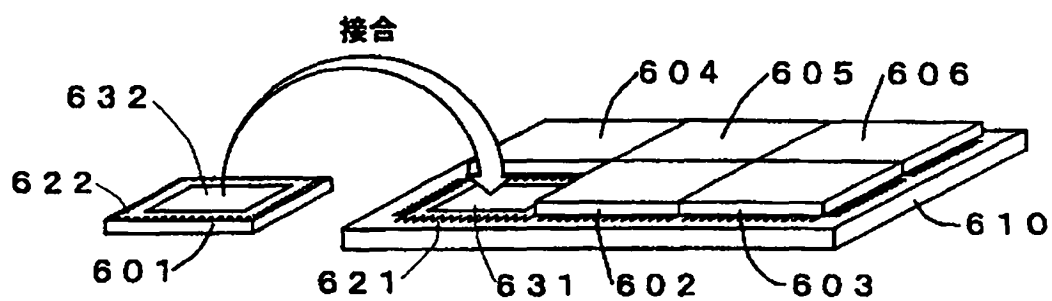
3 / 8

第3図



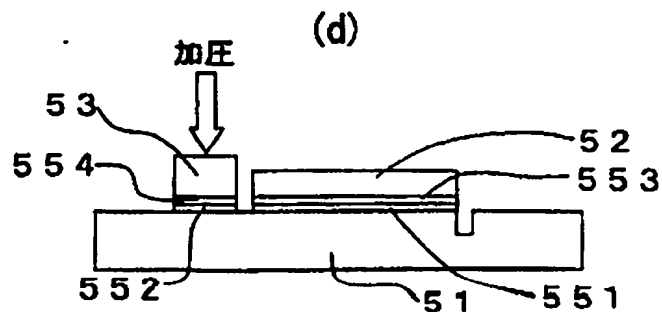
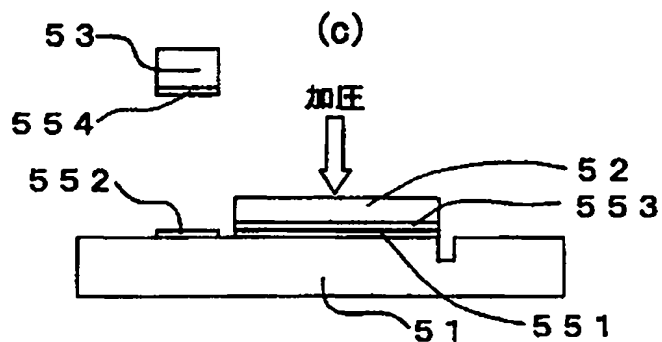
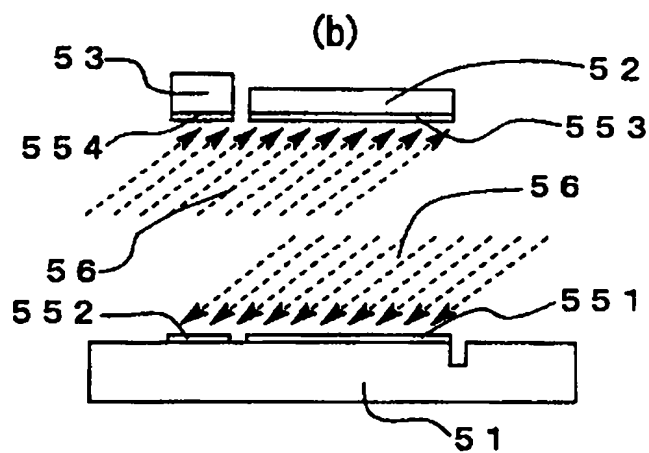
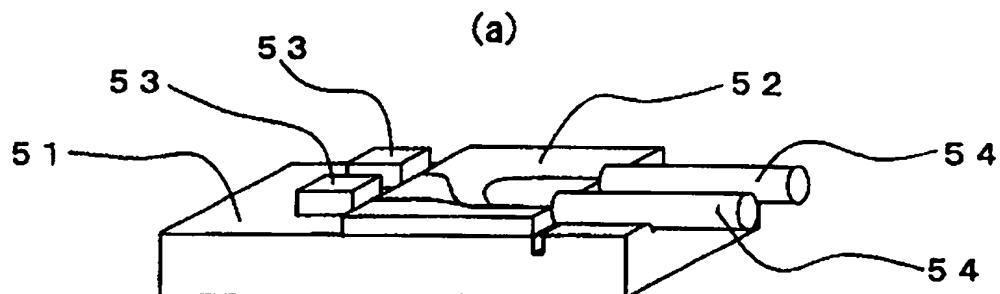
4 / 8

第4図



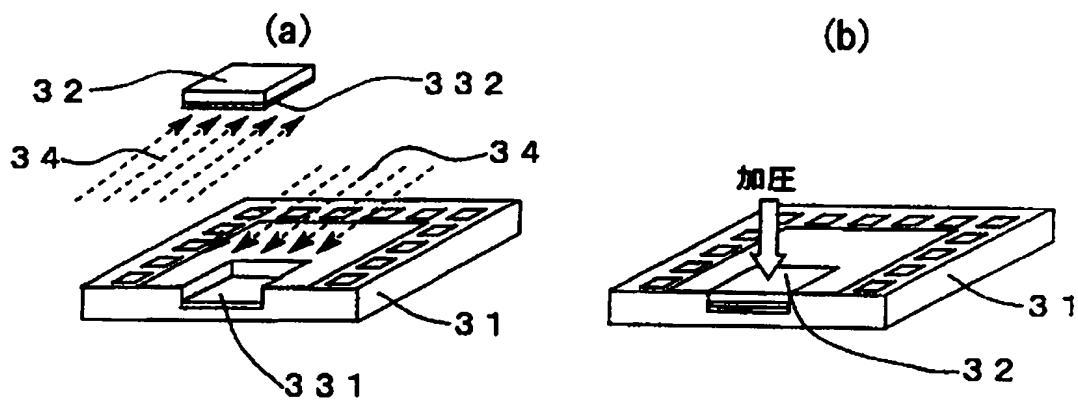
5 / 8

第5図



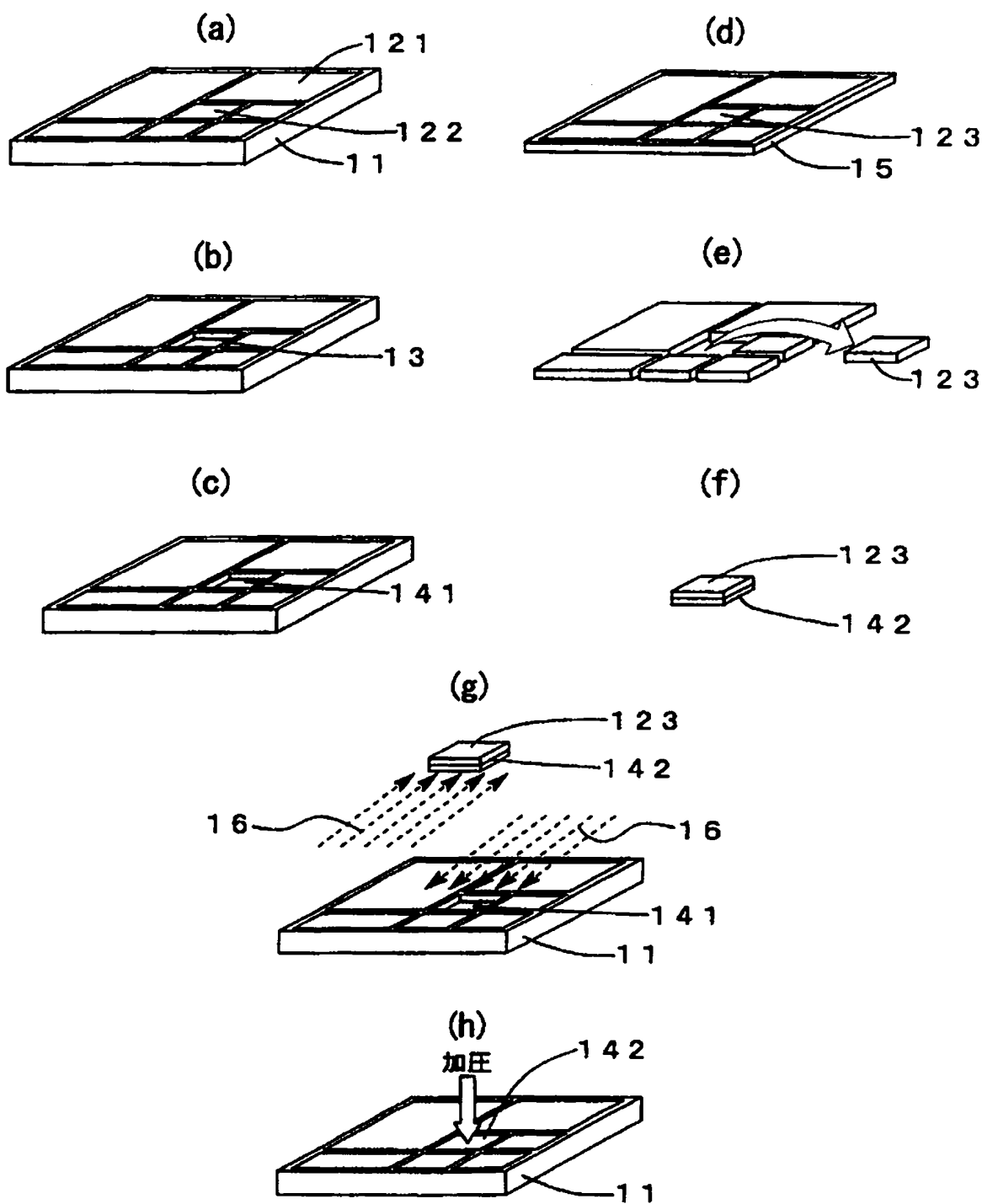
6 / 8

第6図



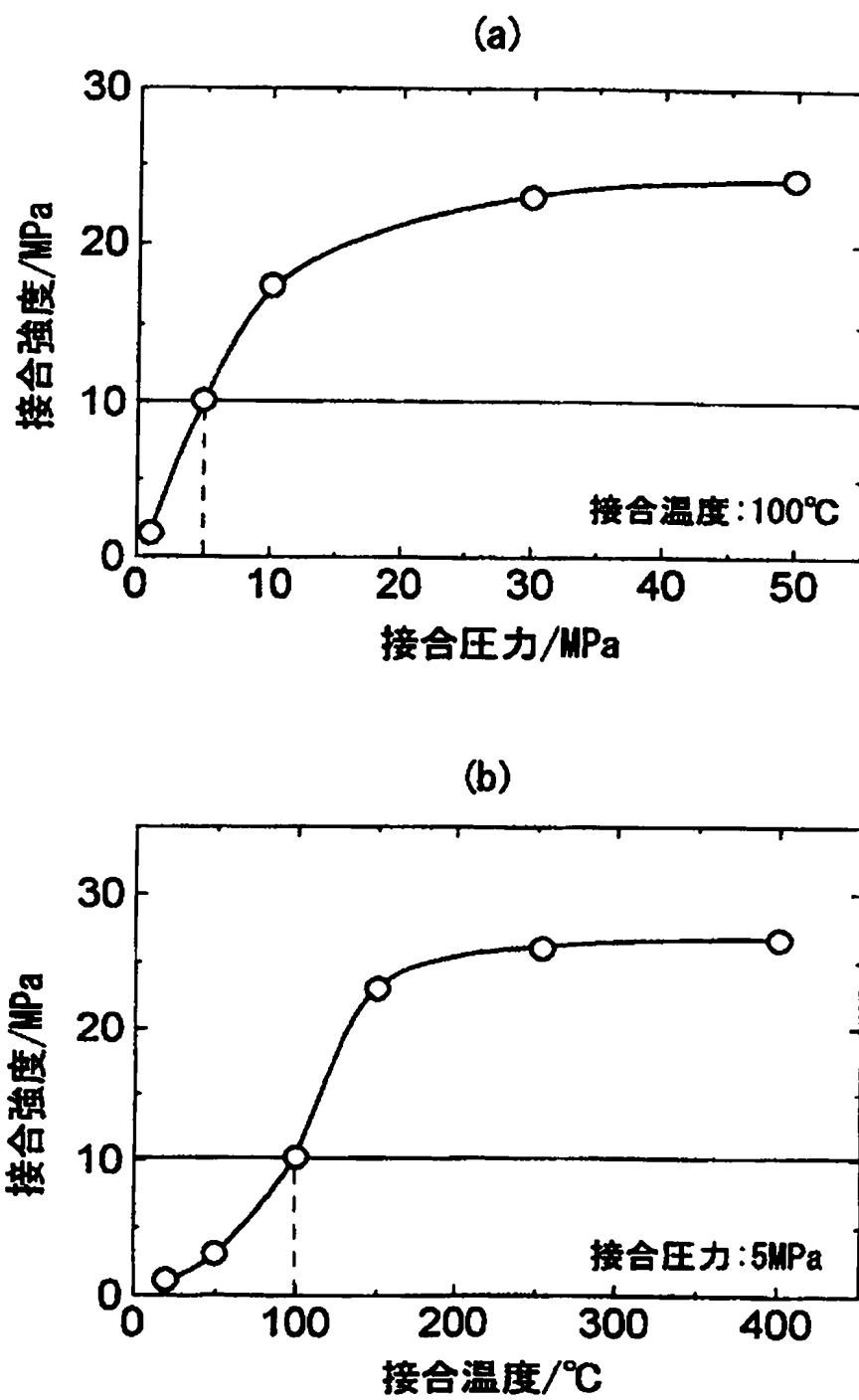
7/8

第7図



8 / 8

第 8 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/01875

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H01L25/00-25/18, H01L21/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H01L25/00-25/18, H01L21/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1995
Kokai Jitsuyo Shinan Koho	1971 - 1995
Toroku Jitsuyo Shinna Koho	1994 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 4-56262, A (Matsushita Electronics Corp.), February 24, 1992 (24. 02. 92) (Family: none)	1 - 18
A	JP, 5-109593, A (Fuji Electric Co., Ltd.), April 30, 1993 (30. 04. 93) (Family: none)	1 - 18
A	JP, 3-171643, A (Hitachi, Ltd.), July 25, 1991 (25. 07. 91) & US, 5090609, A	1 - 18
A	JP, 3-62566, A (Texas Instruments Inc.), March 18, 1991, (18. 03. 91) (Family: none)	1 - 18
A	JP, 4-148525, A (Fujitsu Ltd.), May 21, 1992 (21. 05. 92) (Family: none)	1 - 18

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"A" document member of the same patent family

Date of the actual completion of the international search

November 30, 1995 (30. 11. 95)

Date of mailing of the international search report

December 19, 1995 (19. 12. 95)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl. ⁸ H01L25/00-25/18, H01L21/02		
B. 調査を行った分野		
調査を行った最小額資料 (国際特許分類 (IPC))		
Int. Cl. ⁸ H01L25/00-25/18, H01L21/02		
最小額資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1995年 日本国公報実用新案公報 1971-1995年 日本国登録実用新案公報 1994-1995年		
国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の 号
A	JP, 4-56262, A (松下電子工業株式会社), 24. 2月. 1992 (24. 02. 92) (ファミリーなし)	1-18
A	JP, 5-109593, A (富士電機株式会社), 30. 4月. 1993 (30. 04. 93) (ファミリーなし)	1-18
A	JP, 3-171643, A (株式会社 日立製作所), 25. 7月. 1991 (25. 07. 91) &US, 5090609, A	1-18
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の「I」以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日		国際調査報告の発送日
30. 11. 95		19.12.95
名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 中 澤 登 電話番号 03-3581-1101 内線 3425

C (続き). 関連すると認められる文献

引用文献の カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 3-62566, A (テキサス インストルメンツ インコーポレイテッド), 18. 3月. 1991 (18. 03. 91) (ファミリーなし)	1-18
A	JP, 4-148525, A (富士通株式会社), 21. 5月. 1992 (21. 05. 92) (ファミリーなし)	1-18

様式PCT/ISA/210 (第2ページの続き) (1992年7月)